

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

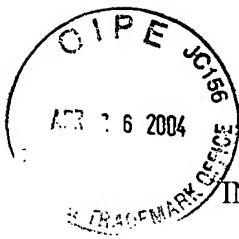
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Kazuhiko NISHIKAWA et al. : **Confirmation No. 4921**
Serial No. 10/757,598 : **Attn: BOX MISSING PARTS**
Filed January 15, 2004 : **Attorney Docket No.2004_0057A**
OSCILLATION CIRCUIT :

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

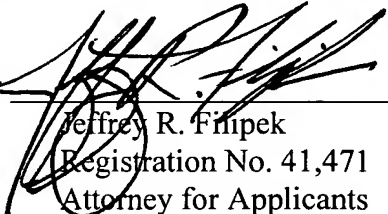
Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2003-007558, filed January 15, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Kazuhiko NISHIKAWA et al.

By 
Jeffrey R. Filipek
Registration No. 41,471
Attorney for Applicants

JRF/fs
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
April 26, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月15日

出 願 番 号

Application Number:

特願2003-007558

[ST.10/C]:

[JP2003-007558]

出 願 人

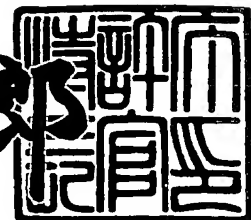
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030399

【書類名】 特許願

【整理番号】 2038140146

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 20/00
G11B 20/14

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 西川 和彦

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 朴井 高宏

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 渡辺 誠司

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100081813

【弁理士】

【氏名又は名称】 早瀬 憲一

【電話番号】 06(6395)3251

【手数料の表示】

【予納台帳番号】 013527

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 発振回路

【特許請求の範囲】

【請求項1】 電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP1のドレインをNMOSトランジスタMN4のドレインと接続し、NMOSトランジスタMN4のゲート入力を電源に接続し、NMOSトランジスタMN4のソースとNMOSトランジスタMN1のドレインを接続点A1で接続し、NMOSトランジスタMN1のソースをGNDに接続し、NMOSトランジスタMN1のゲート入力を入力とし、接続点A1を出力とした第1の遅延回路と、

電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP2のドレインをNMOSトランジスタMN5のドレインと接続し、NMOSトランジスタMN5のゲート入力を電源に接続し、NMOSトランジスタMN5のソースとNMOSトランジスタMN2のドレインを接続点A2で接続し、NMOSトランジスタMN2のソースをGNDに接続し、NMOSトランジスタMN2のゲート入力を入力とし、接続点A2を出力とした第2の遅延回路と、

電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP3のドレインをNMOSトランジスタMN6のドレインと接続し、NMOSトランジスタMN6のゲート入力を電源に接続し、NMOSトランジスタMN6のソースとNMOSトランジスタMN3のドレインを接続点A3で接続し、NMOSトランジスタMN3のソースをGNDに接続し、NMOSトランジスタMN3のゲート入力を入力とし、接続点A3を出力とした第3の遅延回路とを、

第1の遅延回路の出力A1が第2の遅延回路の入力に、第2の遅延回路の出力A2が第3の遅延回路の入力に、第3の遅延回路の出力A3が第1の遅延回路の入力に、それぞれ接続されるよう、縦続接続した、

ことを特徴とする発振回路。

【請求項2】 請求項1記載の発振回路において、

NMOSトランジスタMN4、MN5、MN6のゲート入力を任意の固定電位にした、

ことを特徴とする発振回路。

【請求項3】 電流制御端子2をゲート入力、GNDをソース入力としたNMOSトランジスタMN1のドレインをPMOSトランジスタMP4のドレインと接続し、PMOSトランジスタMP4のゲート入力をGNDに接続し、PMOSトランジスタMP4のソースとPMOSトランジスタMP1のドレインを接続点A1で接続し、PMOSトランジスタMP1のソースを電源に接続し、PMOSトランジスタMP1のゲート入力を入力とし、接続点A1を出力とした第1の遅延回路と、

電流制御端子2をゲート入力、GNDをソース入力としたNMOSトランジスタMN2のドレインをPMOSトランジスタMP5のドレインと接続し、PMOSトランジスタMP5のゲート入力をGNDに接続し、PMOSトランジスタMP5のソースとPMOSトランジスタMP2のドレインを接続点A2で接続し、PMOSトランジスタMP2のソースを電源に接続し、PMOSトランジスタMP2のゲート入力を入力とし、接続点A2を出力とした第2の遅延回路と、

電流制御端子2をゲート入力、GNDをソース入力としたNMOSトランジスタMN3のドレインをPMOSトランジスタMP6のドレインと接続し、PMOSトランジスタMP6のゲート入力をGNDに接続し、PMOSトランジスタMP6のソースとPMOSトランジスタMP3のドレインを接続点A3で接続し、PMOSトランジスタMP3のソースを電源に接続し、PMOSトランジスタMP3のゲート入力を入力とし、接続点A3を出力とした第3の遅延回路とを、

第1の遅延回路の出力A1が第2の遅延回路の入力に、第2の遅延回路の出力A2が第3の遅延回路の入力に、第3の遅延回路の出力A3が第1の遅延回路の入力に、それぞれ接続されるよう、縦続接続した、

ことを特徴とする発振回路。

【請求項4】 請求項3記載の発振回路において、

PMOSトランジスタMP4、MP5、MP6のゲート入力を任意の固定電位にした、

ことを特徴とする発振回路。

【請求項5】 とともに電流制御端子をゲート入力、電源をソース入力とした

PMOSトランジスタMP1およびPMOSトランジスタMP2のうちの、PMOSトランジスタMP1のドレインをNMOSトランジスタMN13のドレインと、PMOSトランジスタMP2のドレインをNMOSトランジスタMN14のドレインと接続し、NMOSトランジスタMN13およびNMOSトランジスタMN14のゲート入力を電源に接続し、NMOSトランジスタMN13のソースとNMOSトランジスタMN1およびNMOSトランジスタMN2のドレインとを接続点A1で、NMOSトランジスタMN14のソースとNMOSトランジスタMN4およびNMOSトランジスタMN3のドレインとを接続点A2で接続し、NMOSトランジスタMN1およびNMOSトランジスタMN2およびNMOSトランジスタMN3およびNMOSトランジスタMN4のソースを、GNDに接続し、NMOSトランジスタMN1のゲート入力を正極性側入力とし、NMOSトランジスタMN4のゲート入力を負極性側入力とし、接続点A1を負極性側出力とし、接続点A2を正極性側出力とした第1の遅延回路と、

電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP3およびPMOSトランジスタMP4のうちの、PMOSトランジスタMP3のドレインをNMOSトランジスタMN15のドレインと、PMOSトランジスタMP4のドレインをNMOSトランジスタMN16のドレインと接続し、NMOSトランジスタMN15およびNMOSトランジスタMN16のゲート入力を電源に接続し、NMOSトランジスタMN15のソースとNMOSトランジスタMN5およびNMOSトランジスタMN6のドレインとを接続点A3で、NMOSトランジスタMN16のソースとNMOSトランジスタMN7およびNMOSトランジスタMN8のドレインとを、接続点A4で接続し、NMOSトランジスタMN5およびNMOSトランジスタMN6およびNMOSトランジスタMN7およびNMOSトランジスタMN8のソースをGNDに接続し、NMOSトランジスタMN5のゲート入力を正極性側入力とし、NMOSトランジスタMN8のゲート入力を負極性側入力とし、接続点A3を負極性側出力とし、接続点A4を正極性側出力とした第2の遅延回路と、

電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP5およびPMOSトランジスタMP6のうちの、PMOSトランジスタMP5

のドレインをNMOSトランジスタMN17のドレインと、PMOSトランジスタMP6のドレインをNMOSトランジスタMN18のドレインと接続し、NMOSトランジスタMN17およびNMOSトランジスタMN18のゲート入力を電源に接続し、NMOSトランジスタMN17のソースとNMOSトランジスタMN9およびNMOSトランジスタMN10のドレインとを接続点A5で、NMOSトランジスタMN18のソースとNMOSトランジスタMN11およびNMOSトランジスタMN12のドレインとを接続点A6で接続し、NMOSトランジスタMN9およびNMOSトランジスタMN10およびNMOSトランジスタMN11およびNMOSトランジスタMN12のソースをGNDに接続し、NMOSトランジスタMN9のゲート入力を正極性側入力とし、NMOSトランジスタMN12のゲート入力を負極性側入力とし、接続点A5を負極性側出力とし、接続点A6を正極性側出力とした第3の遅延回路とを、

第1の遅延回路の負極性側出力A1が第2の遅延回路の正極性側入力に、第1の遅延回路の正極性側出力A2が第2の遅延回路の負極性側入力に、

第2の遅延回路の負極性側出力A3が第3の遅延回路の正極性側入力に、第2の遅延回路の正極性側出力A4が第3の遅延回路の負極性側入力に、

第3の遅延回路の負極性側出力A5が第1の遅延回路の正極性側入力に、第3の遅延回路の正極性側出力A6が第1の遅延回路の負極性側入力に、それぞれ接続されるよう、縦続接続した、

ことを特徴とする発振回路。

【請求項6】 請求項5記載の発振回路において、

NMOSトランジスタMN13、MP14、MN15、MN16、MN17、MN18のゲート入力を任意の固定電位にした、

ことを特徴とする発振回路。

【請求項7】 請求項1、請求項2、請求項3、または請求項4のいずれかに記載の発振回路において、

NMOSトランジスタMN4、MN5、MN6に変えて、接続点A1、A2、A3の出力振幅を発振周波数によらず一定に保つことができる別の手段を、備えた、

ことを特徴とする発振回路。

【請求項8】 請求項3、または請求項4に記載の発振回路において、PMOSトランジスタMP4、MP5、MP6に変えて、接続点A1、A2、A3の出力振幅を発振周波数によらず一定に保つことができる別の手段を、備えた、

ことを特徴とする発振回路。

【請求項9】 請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、または請求項8に記載の発振回路において、

遅延回路の縦続接続段数をN段（Nは4以上の整数）とした、

ことを特徴とする発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は発振回路に関し、特にデジタル記録再生装置などに必要な、広い周波数帯域で使用可能なPLL回路に用いる発振回路に関する。

【0002】

【従来の技術】

従来の発振回路は、遅延回路として制御電圧により遅延時間が制御可能なように、電源側、GND側への電流値をそれぞれ制限するためのPMOSトランジスタおよびNMOSトランジスタを挿入したインバータ回路を用い、この遅延回路をリング状に縦続接続した構成をしている（例えば、非特許文献1参照）。

【0003】

従来技術の構成、動作を説明するため、従来型の発振回路の回路構成を、図10に示す。

【0004】

図10において、MP1、MP2、MP3はPMOSトランジスタ、MN1、MN2、MN3はNMOSトランジスタであり、PMOSトランジスタMP1、MP2、MP3のゲートには電流制御端子2が接続され、それらのソースは電源に接続され、PMOSトランジスタMP1のドレインにはNMOSトランジスタ

MN1のドレインが接続点A1で接続され、NMOSトランジスタMN1のゲート入力を入力とし、接続点A1を出力とする第1の遅延回路を構成している。同じようにPMOSトランジスタMP2とNMOSトランジスタMN2で第2の遅延回路、PMOSトランジスタMP3とNMOSトランジスタMN3で第3の遅延回路を構成している。

【0005】

そして、第1の遅延回路の出力A1が第2の遅延回路の入力に、第2の遅延回路の出力A2が第3の遅延回路の入力に、第3の遅延回路の出力A3が第1の遅延回路の入力となるように、縦続接続する構成を有する。

【0006】

以上のように構成された従来の発振回路についてその動作を図11のタイミングチャートを元に説明する。

図11は、図10に示す従来の発振回路における接続点A1、接続点A2、接続点A3の動作タイミングチャートであり、図11中の一点破線はNMOSトランジスタMN1、MN2、MN3の閾値電圧である。

【0007】

図10のMP1、MP2、MP3は、上述したようにPMOSトランジスタであり、電流制御端子2から入力される電圧に応じた定電流を流す。以下の説明では、NMOSトランジスタMN1、MN2、MN3がON状態となり、各接続点A1、A2、A3がLレベルに遷移する際の遷移時間はゼロとした理想状態として説明する。

【0008】

図11のt1からt2の期間は、接続点A1がNMOSトランジスタMN2の閾値電圧を越えているため、NMOSトランジスタMN2はON状態になっており、接続点A2はLレベルとなるため、NMOSトランジスタMN3はOFF状態となり、接続点A3はPMOSトランジスタMP3の定電流により、充電される。t2からt3の期間、接続点A3は前期間に引続きPMOSトランジスタMP3により定電流で充電される。接続点A3はNMOSトランジスタMN1の閾値電圧を越えるため、NMOSトランジスタMN1がON状態となり、接続点A

1はLレベルとなる。接続点A1がLレベルとなり、NMOSトランジスタMN2がOFF状態となるため、接続点A2はPMOSトランジスタMP2による定電流により充電される。

【0009】

t3からt4の期間は、接続点A2は前期間に引続きPMOSトランジスタMP2により定電流で充電される。接続点A2はNMOSトランジスタMN3の閾値電圧を越えるため、NMOSトランジスタMN3はON状態となり。接続点A3はLレベルとなる。接続点A3がLレベルとなり、NMOSトランジスタMN1がOFF状態となるため、接続点A1はPMOSトランジスタMP1の定電流により充電される。

【0010】

以降、前記t1からt4までの動作を繰り返すことで周期Tで発振する。発振周期Tは電流制御端子2からの入力された電圧によるPMOSトランジスタMP1、MP2、MP3の定電流で各接続点A1、A2、A3がそれぞれNMOSトランジスタMN1、MN2、MN3の閾値電圧まで充電されるまでの期間t1からt2、t2からt3、t3からt4の合計となる。

【0011】

以上の発振動作において、電流制御端子2から入力する電圧を変化させ、PMOSトランジスタMP1、MP2、MP3に流れる定電流を変化させることにより、接続点A1、A2、A3をNMOSトランジスタMN1、MN2、MN3の閾値電圧まで充電する時間を変化させ、発振周期Tを変化させることができる。

【0012】

図11中のVは、PMOSトランジスタMP1、MP2、MP3からの定電流で充電された場合の充電到達電位で、発振周期Tに依存して変化する。一般的に発振周期Tが長い場合、充電する定電流が小さいため到達電位が低くなる。逆に発振周期Tが短い場合、充電電流が大きいため到達電位が高くなる。

【0013】

図13は上記従来構成での発振回路の発振特性であり、横軸はMP1、MP2、MP3に流す定電流、縦軸は発振周期Tの逆数で発振周波数である。

【0014】

上記説明では、NMOSトランジスタMN1、MN2、MN3がON状態となり、各接続点A1、A2、A3がLレベルに遷移する際の遷移時間はゼロとした理想状態として説明したが、実際には各接続点A1、A2、A3がLレベルに遷移する際の遷移時間は有限であり、図12のようになる。図12のタイミングチャートは上記各接続点A1、A2、A3がLレベルに遷移する際の遷移時間を加えた場合の接続点A3のタイミングチャートである。図12中の ΔT は接続点A3がLレベルに遷移していき、NMOSトランジスタMN1の閾値電圧以下に下がるまでの時間であり、接続点A1がPMOSトランジスタMP1により充電開始するタイミングが実際には図12の t_3 のタイミングから t_3' になることを示している。以上から、実際の発振周期 T' は

$$(t_1 \text{ から } t_2 \text{ までの期間} + \Delta T) + (t_2 \text{ から } t_3 \text{ までの期間} + \Delta T) + (t_3 \text{ から } t_4 \text{ までの期間} + \Delta T)$$

となり、Lレベルへの遷移時間を考慮しない理想的な発振周期 T に対し、

$$T' = T + 3 * \Delta T$$

となる。

【0015】

ΔT は上記の通り、各接続点A1、A2、A3がLレベルに遷移していき、NMOSトランジスタMN1、MN2、MN3の閾値電圧以下に下がるまでの時間であるため、充電到達電位 V に依存し、充電到達電位 V が高い場合には ΔT は大きくなり、逆に充電到達電位 V が低い場合には ΔT は小さくなる。

ΔT を考慮した場合の発振特性を図14に示す。発振周期 T に依存して ΔT が変化するため、発振周期を制御するための定電流に対する発振周波数の直線性が悪くなる。

【0016】

【非特許文献1】

岩田 穆 監修、“CMOSアナログ回路設計技術”、トリケップス企画部編集、株式会社トリケップス

【0017】

【発明が解決しようとする課題】

上記従来の構成では、発振周期 T を変化させた場合、充電到達電位 V が変化する構成であるため、各接続点が次段の遅延回路の入力の閾値電圧にまで遷移するために必要な遷移時間 ΔT が発振周期 T に依存して変化し、発振周期を制御する定電流に対する発振周波数の直線性が悪くなるという課題があった。

【0018】

本発明は、上記のような従来の発振回路の課題を解決するものであり、各接続点の到達電位 V を発振周期 T によらず一定にすることで、発振周期を制御する定電流に対する発振周波数の直線性に優れた発振回路を提供することを目的とする。

【0019】

【課題を解決するための手段】

上記課題を解決するために、本発明（請求項1）にかかる発振回路は、電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP1のドレインをNMOSトランジスタMN4のドレインと接続し、NMOSトランジスタMN4のゲート入力を電源に接続し、NMOSトランジスタMN4のソースとNMOSトランジスタMN1のドレインを接続点A1で接続し、NMOSトランジスタMN1のソースをGNDに接続し、NMOSトランジスタMN1のゲート入力を入力とし、接続点A1を出力とした第1の遅延回路と、電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP2のドレインをNMOSトランジスタMN5のドレインと接続し、NMOSトランジスタMN5のゲート入力を電源に接続し、NMOSトランジスタMN5のソースとNMOSトランジスタMN2のドレインを接続点A2で接続し、NMOSトランジスタMN2のソースをGNDに接続し、NMOSトランジスタMN2のゲート入力を入力とし、接続点A2を出力とした第2の遅延回路と、電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP3のドレインをNMOSトランジスタMN6のドレインと接続し、NMOSトランジスタMN6のゲート入力を電源に接続し、NMOSトランジスタMN6のソースとNMOSトランジスタMN3のドレインを接続点A3で接続し、NMOSトランジスタMN3のソース

をGNDに接続し、NMOSトランジスタMN3のゲート入力を入力とし、接続点A3を出力とした第3の遅延回路とを、第1の遅延回路の出力A1が第2の遅延回路の入力に、第2の遅延回路の出力A2が第3の遅延回路の入力に、第3の遅延回路の出力A3が第1の遅延回路の入力に、それぞれ接続されるよう、縦続接続したものである。

【0020】

また、本発明（請求項2）にかかる発振回路は、請求項1記載の発振回路において、NMOSトランジスタMN4、MN5、MN6のゲート入力を任意の固定電位にしたものである。

【0021】

また、本発明（請求項3）にかかる発振回路は、電流制御端子をゲート入力、電源をソース入力としたNMOSトランジスタMN1のドレインをPMOSトランジスタMP4のドレインと接続し、PMOSトランジスタMP4のゲート入力をGNDに接続し、PMOSトランジスタMP4のソースとPMOSトランジスタMP1のドレインを接続点A1で接続し、PMOSトランジスタMP1のソースを電源に接続し、PMOSトランジスタMP1のゲート入力を入力とし、接続点A1を出力とした第1の遅延回路と、電流制御端子2をゲート入力、電源をソース入力としたNMOSトランジスタMN2のドレインをPMOSトランジスタMP5のドレインと接続し、PMOSトランジスタMP5のゲート入力をGNDに接続し、PMOSトランジスタMP5のソースとPMOSトランジスタMP2のドレインを接続点A2で接続し、PMOSトランジスタMP2のソースを電源に接続し、PMOSトランジスタMP2のゲート入力を入力とし、接続点A2を出力とした第2の遅延回路と、電流制御端子2をゲート入力、電源をソース入力としたNMOSトランジスタMN3のドレインをPMOSトランジスタMP6のドレインと接続し、PMOSトランジスタMP6のゲート入力をGNDに接続し、PMOSトランジスタMP6のソースとPMOSトランジスタMP3のドレインを接続点A3で接続し、PMOSトランジスタMP3のソースを電源に接続し、PMOSトランジスタMP3のゲート入力を入力とし、接続点A3を出力とした第3の遅延回路とを、第1の遅延回路の出力A1が第2の遅延回路の入力に、

第2の遅延回路の出力A2が第3の遅延回路の入力に、第3の遅延回路の出力A3が第1の遅延回路の入力に、それぞれ接続されるよう、縦続接続したものである。

【0022】

また、本発明（請求項4）にかかる発振回路は、請求項3記載の発振回路において、PMOSトランジスタMP4、MP5、MP6のゲート入力を任意の固定電位にしたものである。

【0023】

また、本発明（請求項5）にかかる発振回路は、ともに電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP1およびPMOSトランジスタMP2のうちの、PMOSトランジスタMP1のドレインをNMOSトランジスタMN13のドレインと、PMOSトランジスタMP2のドレインをNMOSトランジスタMN14のドレインと接続し、NMOSトランジスタMN13およびNMOSトランジスタMN14のゲート入力を電源に接続し、NMOSトランジスタMN13のソースとNMOSトランジスタMN1およびNMOSトランジスタMN2のドレインとを接続点A1で、NMOSトランジスタMN14のソースとNMOSトランジスタMN4およびNMOSトランジスタMN3のドレインとを接続点A2で接続し、NMOSトランジスタMN1およびNMOSトランジスタMN2およびNMOSトランジスタMN3およびNMOSトランジスタMN4のソースを、GNDに接続し、NMOSトランジスタMN1のゲート入力を正極性側入力とし、NMOSトランジスタMN4のゲート入力を負極性側入力とし、接続点A1を負極性側出力とし、接続点A2を正極性側出力とした第1の遅延回路と、電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP3およびPMOSトランジスタMP4のうちの、PMOSトランジスタMP3のドレインをNMOSトランジスタMN15のドレインと、PMOSトランジスタMP4のドレインをNMOSトランジスタMN16のドレインと接続し、NMOSトランジスタMN15およびNMOSトランジスタMN16のゲート入力を電源に接続し、NMOSトランジスタMN15のソースとNMOSトランジスタMN5およびNMOSトランジスタMN6のドレインとを接続点A

3で、NMOSトランジスタMN16のソースとNMOSトランジスタMN7およびNMOSトランジスタMN8のドレインとを、接続点A4で接続し、NMOSトランジスタMN5およびNMOSトランジスタMN6およびNMOSトランジスタMN7およびNMOSトランジスタMN8のソースをGNDに接続し、NMOSトランジスタMN5のゲート入力を正極性側入力とし、NMOSトランジスタMN8のゲート入力を負極性側入力とし、接続点A3を負極性側出力とし、接続点A4を正極性側出力とした第2の遅延回路と、電流制御端子をゲート入力、電源をソース入力としたPMOSトランジスタMP5およびPMOSトランジスタMP6のうちの、PMOSトランジスタMP5のドレインをNMOSトランジスタMN17のドレインと、PMOSトランジスタMP6のドレインをNMOSトランジスタMN18のドレインと接続し、NMOSトランジスタMN17およびNMOSトランジスタMN18のゲート入力を電源に接続し、NMOSトランジスタMN17のソースとNMOSトランジスタMN9およびNMOSトランジスタMN10のドレインとを接続点A5で、NMOSトランジスタMN18のソースとNMOSトランジスタMN11およびNMOSトランジスタMN12のドレインとを接続点A6で接続し、NMOSトランジスタMN9およびNMOSトランジスタMN10およびNMOSトランジスタMN11およびNMOSトランジスタMN12のソースをGNDに接続し、NMOSトランジスタMN9のゲート入力を正極性側入力とし、NMOSトランジスタMN12のゲート入力を負極性側入力とし、接続点A5を負極性側出力とし、接続点A6を正極性側出力とした第3の遅延回路とを、第1の遅延回路の負極性側出力A1が第2の遅延回路の正極性側入力に、第1の遅延回路の正極性側出力A2が第2の遅延回路の負極性側入力に、第2の遅延回路の負極性側出力A3が第3の遅延回路の正極性側入力に、第2の遅延回路の正極性側出力A4が第3の遅延回路の負極性側入力に、第3の遅延回路の負極性側出力A5が第1の遅延回路の正極性側入力に、第3の遅延回路の正極性側出力A6が第1の遅延回路の負極性側入力に、それぞれ接続されるよう、縦続接続したものである。

【0024】

また、本発明（請求項6）にかかる発振回路は、請求項5記載の発振回路にお

いて、NMOSトランジスタMN13、MP14、MN15、MN16、MN17、MN18のゲート入力を任意の固定電位にしたものである。

【0025】

また、本発明（請求項7）にかかる発振回路は、請求項1、請求項2、請求項3、または請求項4に記載の発振回路において、NMOSトランジスタMN4、MN5、MN6に変えて、接続点A1、A2、A3の出力振幅を発振周波数によらず一定に保つことができる別の手段を、備えたものである

【0026】

また、本発明（請求項8）にかかる発振回路は、請求項3、または請求項4に記載の発振回路において、PMOSトランジスタMP4、MP5、MP6に変えて、接続点A1、A2、A3の出力振幅を発振周波数によらず一定に保つことができる別の手段を、備えたものである。

【0027】

また、本発明（請求項9）にかかる発振回路は、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、または請求項8に記載の発振回路において、遅延回路の縦続接続段数をN段としたものである。

【0028】

請求項1の構成によれば、ゲート入力を電源に固定したNMOSトランジスタMN4、MN5、MN6により接続点A1、A2、A3の取り得る上限の電位は電源電圧からNMOSトランジスタMN4、MN5、MN6の閾値電圧 V_t だけ低い電位までに制限されるため、接続点A1、A2、A3の充電到達電位を制限するという作用を有する。従ってリニアな発振特性を得ることができる。

【0029】

請求項2の構成によれば、ゲート入力を任意の固定電位としたNMOSトランジスタMN4、MN5、MN6により接続点A1、A2、A3の取り得る上限の電位は任意の固定電位からMN4、MN5、MN6の閾値電圧 V_t だけ低い電位までに制限されるため、接続点A1、A2、A3の充電到達電位を制限するという作用を有する。従ってリニアな発振特性を得ることができる。

【0030】

請求項3の構成によれば、ゲート入力をGNDに固定したPMOSトランジスタMP4、MP5、MP6により接続点A1、A2、A3の取り得る下限の電位はGNDからPMOSトランジスタMP4、MP5、MP6の閾値電圧 V_t だけ高い電位までに制限されるため、接続点A1、A2、A3の放電到達電位を制限するという作用を有する。従ってリニアな発振特性を得ることができる。

【0031】

請求項4の構成によれば、ゲート入力を任意の固定電位にすることにより、PMOSトランジスタMP4、MP5、MP6により接続点A1、A2、A3の取り得る下限の電位は任意の固定電位からPMOSトランジスタMP4、MP5、MP6の閾値電圧 V_t だけ高い電位までに制限されるため、接続点A1、A2、A3の放電到達電位を制限するという作用を有する。従ってリニアな発振特性を得ることができる。

【0032】

請求項5の構成によれば、ゲート入力を電源に固定したNMOSトランジスタMN13、MN14、MN15、MN16、MN17、MN18により接続点A1、A2、A3、A4、A5、A6の取り得る上限の電位は電源電圧からNMOSトランジスタMN13、MN14、MN15、MN16、MN17、MN18の閾値電圧 V_t だけ低い電位までに制限されるため、接続点A1、A2、A3、A4、A5、A6の充電到達電位を制限するという作用を有する。従ってリニアな発振特性を得ることができる。

【0033】

請求項6の構成によれば、ゲート入力を任意の固定電位にしたNMOSトランジスタMN13、MN14、MN15、MN16、MN17、MN18により接続点A1、A2、A3、A4、A5、A6の取り得る上限の電位は任意の固定電位からNMOSトランジスタMN13、MN14、MN15、MN16、MN17、MN18の閾値電圧 V_t だけ低い電位までに制限されるため、接続点A1、A2、A3、A4、A5、A6の充電到達電位を制限するという作用を有する。従ってリニアな発振特性を得ることができる。

【0034】

請求項7の構成によれば、接続点A1、A2、A3の充電到達電位を発振周波数によらず一定に保つ手段を有することにより、リニアな発振特性を得ることができる。

【0035】

請求項8の構成によれば、接続点A1、A2、A3の放電到達電位を発振周波数によらず一定に保つ手段を有することにより、リニアな発振特性を得ることができる。

【0036】

請求項9の構成によれば、遅延回路の縦続接続段数をN段とした発振回路においても、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8に記載の構成を有することにより、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8に記載の発振回路と同じリニアな発振特性を得ることができる。

【0037】

【発明の実施の形態】

（実施の形態1）

以下、本発明の実施の形態1について、図1にその構成を示す。

電流制御端子2をゲート入力、電源をソース入力としたPMOSトランジスタMP1のドレインをNMOSトランジスタMN4のドレインに接続し、NMOSトランジスタMN4のゲート入力を電源に接続し、NMOSトランジスタMN4のソースとNMOSトランジスタMN1のドレインを接続点A1で接続し、NMOSトランジスタMN1のソースがGNDに接続され、NMOSトランジスタMN1のゲート入力を入力とし、接続点A1を出力とした第1の遅延回路と、

電流制御端子2をゲート入力、電源をソース入力としたPMOSトランジスタMP2のドレインをNMOSトランジスタMN5のドレインに接続し、NMOSトランジスタMN5のゲート入力を電源に接続し、NMOSトランジスタMN5のソースとNMOSトランジスタMN2のドレインを接続点A2で接続し、NMOSトランジスタMN2のソースがGNDに接続され、NMOSトランジスタMN2のゲート入力を入力とし、接続点A2を出力とした第2の遅延回路と、

電流制御端子 2 をゲート入力、電源をソース入力とした PMOS トランジスタ MP 3 のドレインを NMOS トランジスタ MN 6 のドレインに接続し、NMOS トランジスタ MN 6 のゲート入力を電源に接続し、NMOS トランジスタ MN 6 のソースと NMOS トランジスタ MN 3 のドレインを接続点 A 3 で接続し、NMOS トランジスタ MN 3 のソースが GND に接続され、NMOS トランジスタ MN 3 のゲート入力を入力とし、接続点 A 3 を出力とした第 3 の遅延回路とを、

第 1 の遅延回路の出力 A 1 が第 2 の遅延回路の入力に、第 2 の遅延回路の出力 A 2 が第 3 の遅延回路の入力に、第 3 の遅延回路の出力 A 3 が第 1 の遅延回路の入力にそれぞれ接続されるよう、縦続接続した構成を有する。

【0038】

以上のように構成された本実施の形態 1 の発振回路について、以下にその動作を説明する。

図 2 は本発明の実施の形態 1 の発振回路における接続点 A 1、接続点 A 2、接続点 A 3 の動作タイミングチャートであり、図 2 中の一点破線は NMOS トランジスタの MN 1、MN 2、MN 3 の閾値電圧である。

【0039】

図 1 の MP 1、MP 2、MP 3 は、上述したように PMOS トランジスタであり、電流制御端子 2 から入力される電圧に応じた定電流を流す。以下の説明では、NMOS トランジスタ MN 1、MN 2、MN 3 が ON 状態となり、各接続点 A 1、A 2、A 3 が L レベルに遷移する際の遷移時間はゼロとした理想状態として説明する。

【0040】

図 2 の t_1 から t_2 の期間は、接続点 A 1 が NMOS トランジスタ MN 2 の閾値電圧を越えているため NMOS トランジスタ MN 2 は ON 状態になっており接続点 A 2 は L レベルとなるため、NMOS トランジスタ MN 3 は OFF 状態となり接続点 A 3 は MP 3 の定電流により充電される。 t_2 から t_3 の期間接続点 A 3 は前期間に引続き PMOS トランジスタ MP 3 により定電流で充電される。接続点 A 3 は NMOS トランジスタ MN 1 の閾値電圧を越えるため NMOS トランジスタ MN 1 が ON 状態となり、接続点 A 1 は L レベルとなる。接続点 A 1 が L

レベルとなりNMOSトランジスタMN2がOFF状態となるため、接続点A2はPMOSトランジスタMP2による定電流により充電される。

【0041】

t3からt4の期間は、接続点A2は前期間に引続きPMOSトランジスタMP2により定電流で充電される。接続点A2はNMOSトランジスタMN3の閾値電圧を越えるためNMOSトランジスタMN3はON状態となり、接続点A3はLレベルとなる。接続点A3がLレベルとなりNMOSトランジスタMN1がOFF状態となるため接続点A1はPMOSトランジスタMP1の定電流により充電される。

【0042】

以降、前記t1からt4までの動作を繰り返すことで、周期Tで発振する。発振周期Tは電流制御端子2から入力された電圧によるPMOSトランジスタMP1、MP2、MP3の定電流により、各接続点A1、A2、A3がそれぞれNMOSトランジスタMN1、MN2、MN3の閾値電圧まで充電されるまでの期間t1からt2、t2からt3、t3からt4の合計となる。

【0043】

以上の発振動作において、電流制御端子2から入力する電圧を変化させ、PMOSトランジスタMP1、MP2、MP3に流れる定電流を変化させることにより、接続点A1、A2、A3をNMOSトランジスタMN1、MN2、MN3の閾値電圧まで充電する時間を変化させ、発振周期Tを変化させることができる。

【0044】

図2中のVは、PMOSトランジスタMP1、MP2、MP3からの定電流で充電される場合の充電到達電位で、ゲートに電源電圧を入力されたNMOSトランジスタMN4、MN5、MN6により、電源電圧よりもNMOSトランジスタMN4、MN5、MN6の閾値電圧 V_t だけ低い電位に制限される。この電源電圧から閾値電圧 V_t だけ低い電位は一定の電位となるため、充電する定電流が小さく発振周期Tが長い場合、充電電流が大きく発振周期Tが短い場合のどちらでも接続点A1、A2、A3の充電到達点Vは一定の電位となる。

【0045】

以上の説明では、NMOSトランジスタMN1、MN2、MN3がON状態となり、各接続点A1、A2、A3がLレベルに遷移する際の遷移時間はゼロとした理想状態として説明したが、実際には各接続点A1、A2、A3がLレベルに遷移する際の遷移時間は有限であり、図3のようになる。図3のタイミングチャートは上記各接続点A1、A2、A3がLレベルに遷移する際の遷移時間を加えた場合の接続点A3のタイミングチャートである。図3中の ΔT は、接続点A3がLレベルに遷移していき、NMOSトランジスタMN1の閾値電圧以下に下がるまでの時間であり、接続点A1がPMOSトランジスタMP1により充電開始するタイミングが実際には図2の t_3 のタイミングから t_3' になることを示している。以上から、実際の発振周期 T' は

$$(t_1 \text{ から } t_2 \text{ までの期間} + \Delta T) + (t_2 \text{ から } t_3 \text{ までの期間} + \Delta T) + (t_3 \text{ から } t_4 \text{ までの期間} + \Delta T)$$

となり、Lレベルへの遷移時間を考慮しない理想的な発振周期 T に対し、

$$T' = T + 3 * \Delta T$$

となる。

【0046】

ΔT は上記の通り、各接続点A1、A2、A3がLレベルに遷移していき、NMOSトランジスタMN1、MN2、MN3の閾値電圧以下に下がるまでの時間であるが、充電到達電位 V が発振周期 T によらず一定の電位となるため、 ΔT も一定となる。

【0047】

ΔT を考慮した場合の発振特性を図4に示す。発振周期 T によらず ΔT が一定になるため発振周期を制御するための定電流に対する発振周波数の直線性がよくなる。

【0048】

以上のような本実施の形態1においては、ゲート入力を電源に固定したNMOSトランジスタMN4、MN5、MN6を挿入したことにより、接続点A1、A2、A3の取り得る上限の電位は電源電圧からNMOSトランジスタMN4、MN5、MN6の閾値電圧 V_t だけ低い電位までに制限され、接続点A1、A2、

A3の充電到達電位Vが発振周期Tによらず一定の電位となるため、 ΔT も一定となり、発振周期を制御するためのトランジスタMP1、MP2、MP3による定電流に対する発振周波数の直線性を改善することができる。

【0049】

(実施の形態2)

本発明の実施の形態2について、図5にその構成を示す。

電流制御端子2をゲート入力、電源をソース入力としたNMOSトランジスタMN1のドレインをPMOSトランジスタMP4のドレインと接続し、PMOSトランジスタMP4のゲート入力をGNDに接続し、PMOSトランジスタMP4のソースとPMOSトランジスタMP1のドレインを接続点A1で接続し、PMOSトランジスタMP1のソースがGNDに接続され、PMOSトランジスタMP1のゲート入力を入力とし、接続点A1を出力とした第1の遅延回路と、

電流制御端子2をゲート入力、電源をソース入力としたNMOSトランジスタMN2のドレインをPMOSトランジスタMP5のドレインと接続し、PMOSトランジスタMP5のゲート入力をGNDに接続し、PMOSトランジスタMP5のソースとPMOSトランジスタMP2のドレインを接続点A2で接続し、PMOSトランジスタMP2のソースがGNDに接続され、PMOSトランジスタMP2のゲート入力を入力とし、接続点A2を出力とした第2の遅延回路と、

電流制御端子2をゲート入力、電源をソース入力としたNMOSトランジスタMN3のドレインをPMOSトランジスタMP6のドレインと接続し、PMOSトランジスタMP6のゲート入力をGNDに接続し、PMOSトランジスタMP6のソースとPMOSトランジスタMP3のドレインを接続点A3で接続し、PMOSトランジスタMP3のソースがGNDに接続され、PMOSトランジスタMP3のゲート入力を入力とし、接続点A3を出力とした第3の遅延回路とを、

第1の遅延回路の出力A1が第2の遅延回路の入力に、第2の遅延回路の出力A2が第3の遅延回路の入力に、第3の遅延回路の出力A3が第1の遅延回路の入力に、それぞれ接続されるよう、縦続接続した構成を有する。

【0050】

以上のように構成された本発明の実施の形態2の発振回路について以下にその

動作を説明する。

図6は本発明の実施の形態2の発振回路における接続点A1、接続点A2、接続点A3の動作タイミングチャートであり、図6中の一点破線はPMOSトランジスタMP1、MP2、MP3の閾値電圧である。

【0051】

図5のMN1、MN2、MN3は、上述のようにNMOSトランジスタであり、電流制御端子2から入力される電圧に応じた定電流を流す。以下説明では、PMOSトランジスタMP1、MP2、MP3がON状態となり、各接続点A1、A2、A3がHレベルに遷移する際の遷移時間はゼロとした理想状態として説明する。

【0052】

図6のt1からt2の期間は、接続点A1がPMOSトランジスタMP2の閾値電圧を越えているためPMOSトランジスタMP2はON状態になっており、接続点A2はHレベルとなるため、PMOSトランジスタMP3はOFF状態となり、接続点A3はNMOSトランジスタMN3の定電流により放電される。t2からt3の期間、接続点A3は前期間に引続きNMOSトランジスタMN3により定電流で放電される。接続点A3はPMOSトランジスタMP1の閾値電圧を越えるためMP1がON状態となり、接続点A1はHレベルとなる。接続点A1がHレベルとなり、PMOSトランジスタMP2がOFF状態となるため、接続点A2はNMOSトランジスタMN2による定電流により放電される。

【0053】

t3からt4の期間は、接続点A2は前期間に引続きNMOSトランジスタMN2により定電流で放電される。接続点A2はPMOSトランジスタMP3の閾値電圧を越えるためPMOSトランジスタMP3はON状態となり、接続点A3はHレベルとなる。接続点A3がHレベルとなりPMOSトランジスタMP1がOFF状態となるため、接続点A1はNMOSトランジスタMN1の定電流により放電される。

【0054】

以降、前記t1からt4までの動作を繰り返すことで周期Tで発振する。発振

周期 T は、電流制御端子 2 から入力された電圧による NMOS トランジスタ MN 1、MN 2、MN 3 の定電流により、各接続点 A 1、A 2、A 3 がそれぞれ PMOS トランジスタ MP 1、MP 2、MP 3 の閾値電圧まで放電されるまでの期間 t_1 から t_2 、 t_2 から t_3 、 t_3 から t_4 の合計となる。

【0055】

以上の発振動作において、電流制御端子 2 から入力する電圧を変化させ、NMOS トランジスタ MN 1、MN 2、MN 3 に流れる定電流を変化させることにより、接続点 A 1、A 2、A 3 を PMOS トランジスタ MP 1、MP 2、MP 3 の閾値電圧まで放電する時間を変化させ、発振周期 T を変化させることができる。

【0056】

図 6 中の V は、NMOS トランジスタ MN 1、MN 2、MN 3 からの定電流で放電される場合の放電到達電位で、ゲートに GND を入力された PMOS トランジスタ MP 4、MP 5、MP 6 により、GND よりも PMOS トランジスタ MP 4、MP 5、MP 6 の閾値電圧 V_t だけ高い電位に制限される。この GND から閾値電圧 V_t だけ高い電位は一定の電位となるため、放電する定電流が小さく発振周期 T が長い場合、放電電流が大きく発振周期 T が短い場合、のいずれでも、接続点 A 1、A 2、A 3 の放電到達点 V は一定の電位となる。

【0057】

以上の説明では、PMOS トランジスタ MP 1、MP 2、MP 3 が ON 状態となり、各接続点 A 1、A 2、A 3 が H レベルに遷移する際の遷移時間はゼロとした理想状態として説明したが、実際には各接続点 A 1、A 2、A 3 が H レベルに遷移する際の遷移時間は有限であり、図 7 のようになる。図 7 のタイミングチャートは上記各接続点 A 1、A 2、A 3 が H レベルに遷移する際の遷移時間を加えた場合の接続点 A 3 のタイミングチャートである。図 7 中の ΔT は、接続点 A 3 が H レベルに遷移していき、PMOS トランジスタ MP 1 の閾値電圧以上に上がるまでの時間であり、接続点 A 1 が NMOS トランジスタ MN 1 により充電開始するタイミングが実際には図 5 の t_3 のタイミングから t_3' になることを示している。以上から、実際の発振周期 T' は

$$(t_1 \text{ から } t_2 \text{ までの期間} + \Delta T) + (t_2 \text{ から } t_3 \text{ までの期間} + \Delta T) + ($$

t_3 から t_4 までの期間 $+\Delta T$)

となり、Hレベルへの遷移時間を考慮しない理想的な発振周期 T に対し、

$$T' = T + 3 * \Delta T$$

となる。

【0058】

ΔT は上記の通り、各接続点 A_1 、 A_2 、 A_3 が Hレベルに遷移していき、PMOS トランジスタ MP_1 、 MP_2 、 MP_3 の閾値電圧以上に上がるまでの時間であるが、充電到達電位 V が発振周期 T によらず一定の電位となるため、 ΔT も一定となる。

このように、発振周期 T によらず ΔT が一定になるため、発振周期を制御するための定電流に対する発振周波数の直線性がよくなることとなる。

【0059】

以上のような本実施の形態 2 においては、ゲート入力を GND に固定した PMOS トランジスタ MP_4 、 MP_5 、 MP_6 を挿入したことにより、接続点 A_1 、 A_2 、 A_3 の取り得る下限の電位は GND から PMOS トランジスタ MP_4 、 MP_5 、 MP_6 の閾値電圧 V_t だけ高い電位までに制限され、接続点 A_1 、 A_2 、 A_3 の放電到達電位 V が発振周期 T によらず一定の電位となるため、 ΔT も一定となり、発振周期を制御するためのトランジスタ MP_1 、 MP_2 、 MP_3 による定電流に対する発振周波数の直線性を改善することができる。

【0060】

(実施の形態 3)

本発明の実施の形態 3 について、図 8 にその構成を示す。

電流制御端子 2 をゲート入力、電源をソース入力とした PMOS トランジスタ MP_1 および PMOS トランジスタ MP_2 のうちの、PMOS トランジスタ MP_1 のドレインを NMOS トランジスタ MN_13 のドレインと、PMOS トランジスタ MP_2 のドレインを NMOS トランジスタ MN_14 のドレインと接続し、NMOS トランジスタ MN_13 および NMOS トランジスタ MN_14 のゲート入力を電源に接続し、NMOS トランジスタ MN_13 のソースと NMOS トランジスタ MN_1 および NMOS トランジスタ MN_2 のドレインとを接続点 A_1 で、NM

OSトランジスタMN14のソースとNMOSトランジスタMN4およびNMOSトランジスタMN3のドレインとを接続点A2で接続し、NMOSトランジスタMN1およびNMOSトランジスタMN2およびNMOSトランジスタMN3およびNMOSトランジスタMN4のソースがGNDに接続され、NMOSトランジスタMN1のゲート入力を正極性側入力に、NMOSトランジスタMN4のゲート入力を負極性側入力に、接続点A1を負極性側出力に、接続点A2を正極性側出力とした第1の遅延回路と、

電流制御端子2をゲート入力、電源をソース入力としたPMOSトランジスタMP3およびPMOSトランジスタMP4のうちの、PMOSトランジスタMP3のドレインをNMOSトランジスタMN15のドレインと、PMOSトランジスタMP4のドレインをNMOSトランジスタMN16のドレインと接続し、NMOSトランジスタMN15およびNMOSトランジスタMN16のゲート入力を電源に接続し、NMOSトランジスタMN15のソースとNMOSトランジスタMN5およびNMOSトランジスタMN6のドレインを接続点A3で、NMOSトランジスタMN16のソースとNMOSトランジスタMN7およびNMOSトランジスタMN8のドレインを接続点A4で接続し、NMOSトランジスタMN5およびNMOSトランジスタMN6およびNMOSトランジスタMN7およびNMOSトランジスタMN8のソースがGNDに接続され、NMOSトランジスタMN5のゲート入力を正極性側入力、NMOSトランジスタMN8のゲート入力を負極性側入力、接続点A3を負極性側出力、接続点A4を正極性側出力とした第2の遅延回路と、

電流制御端子2をゲート入力、電源をソース入力としたPMOSトランジスタMP5およびPMOSトランジスタMP6のうちの、PMOSトランジスタMP5のドレインをNMOSトランジスタMN17のドレインと、PMOSトランジスタMP6のドレインをNMOSトランジスタMN18のドレインと接続し、NMOSトランジスタMN17およびNMOSトランジスタMN18のゲート入力を電源に接続し、NMOSトランジスタMN17のソースとNMOSトランジスタMN9およびNMOSトランジスタMN10のドレインを接続点A5で、NMOSトランジスタMN18のソースとNMOSトランジスタMN11およびNM

OSトランジスタMN12のドレインを接続点A6で接続し、NMOSTランジスタMN9およびNMOSTランジスタMN10およびNMOSTランジスタMN11およびNMOSTランジスタMN12のソースがGNDに接続され、NMOSTランジスタMN9のゲート入力を正極性側入力、NMOSTランジスタMN12のゲート入力を負極性側入力、接続点A5を負極性側出力、接続点A6を正極性側出力とした第3の遅延回路とを、

第1の遅延回路の負極性側出力A1が第2の遅延回路の正極性側入力に、第1の遅延回路の正極性側出力A2が第2の遅延回路の負極性側入力に、

第2の遅延回路の負極性側出力A3が第3の遅延回路の正極性側入力に、第2の遅延回路の正極性側出力A4が第3の遅延回路の負極性側入力に、

第3の遅延回路の負極性側出力A5が第1の遅延回路の正極性側入力に、第3の遅延回路の正極性側出力A6が第1の遅延回路の負極性側入力に、それぞれ接続されるよう、縦続接続した構成を有する。

【0061】

以上のように構成された本発明の実施の形態3について、以下にその動作を説明する。

図9は本発明の実施の形態3の発振回路における接続点A1、接続点A2、接続点A3、接続点A4、接続点A5、接続点A6の動作タイミングチャートであり、図9中の一点鎖線はNMOSTランジスタMN1、MN2、MN3、MN4、MN5、MN6、MN7、MN7、MN9、MN10、MN11、MN12の閾値電圧である。

【0062】

図8のMP1、MP2、MP3、MP4、MP5、MP6はPMOSTランジスタであり、電流制御端子2から入力される電圧に応じた定電流を流す。以下の説明では、NMOSTランジスタMN1、MN2、MN3、MN4、MN5、MN6、MN7、MN8、MN9、MN10、MN11、MN12がON状態となり、各接続点A1、A2、A3、A4、A5、A6がLレベルに遷移する際の遷移時間はゼロとした理想状態として説明する。

【0063】

図9の t_1 から t_2 の期間は、接続点A1がNMOSトランジスタMN5の閾値電圧を越えているためNMOSトランジスタMN5はON状態になっており接続点A3はLレベルとなるため、NMOSトランジスタMN5はOFF状態となる。

【0064】

接続点A5はPMOSトランジスタMP5の定電流により、充電される。

t_2 から t_3 の間接続点A5は、前期間に引続きPMOSトランジスタMP5により定電流で充電される。

【0065】

接続点A3はNMOSトランジスタMN9の閾値電圧を越えるため、NMOSトランジスタMN1がON状態となり、接続点A1はLレベルとなる。接続点A1がLレベルとなりNMOSトランジスタMN5がOFF状態となるため、接続点A3はPMOSトランジスタMP3による定電流により充電される。

【0066】

t_3 から t_4 の期間は、接続点A3は前期間に引続きPMOSトランジスタMP3により定電流で充電される。接続点A3はNMOSトランジスタMN9の閾値電圧を越えるためNMOSトランジスタMN9はON状態となり、接続点A5はLレベルとなる。接続点A5がLレベルとなりNMOSトランジスタMN1がOFF状態となるため、接続点A1はPMOSトランジスタMP1の定電流により充電される。

【0067】

t_1 から t_2 の期間は、接続点A6がMN4の閾値電圧を越えているため、NMOSトランジスタMN4はON状態になっており接続点A2はLレベルとなるためNMOSトランジスタMN4はOFF状態となる。

【0068】

接続点A4はPMOSトランジスタMP4の定電流により、充電される。

t_2 から t_3 の間接続点A4は、前期間に引続きPMOSトランジスタMP4により定電流で充電される。

【0069】

接続点A4はNMOSトランジスタMN12の閾値電圧を越えるためNMOSトランジスタMN12がON状態となり、接続点A6はLレベルとなる。接続点A6がLレベルとなりNMOSトランジスタMN4がOFF状態となるため接続点A2はPMOSトランジスタMP2による定電流により充電される。

【0070】

t3からt4の期間は、接続点A2は前期間に引続きPMOSトランジスタMP2により定電流で充電される。接続点A2はNMOSトランジスタMN8の閾値電圧を越えるためNMOSトランジスタMN8はON状態となり、接続点A4はLレベルとなる。接続点A4がLレベルとなりNMOSトランジスタMN12がOFF状態となるため、接続点A6はPMOSトランジスタMP1の定電流により充電される。

【0071】

NMOSトランジスタMN2、MN3、MN6、MN7、MN10、MN12はそれぞれのゲートに入力されている接続点の電位が閾値電圧を越えると、それぞれのドレインが接続されている接続点の電位をLレベルにする。

【0072】

以降、前記t1からt4までの動作を繰り返すことで周期Tで発振する。

発振周期Tは、電流制御端子2からの入力された電圧によるPMOSトランジスタMP1、MP2、MP3、MP4、MP5、MP6の定電流により、各接続点A1、A2、A3、A4、A5、A6がそれぞれNMOSトランジスタMN1、MN2、MN3、MN4、MN5、MN6の閾値電圧まで充電されるまでの期間t1からt2、t2からt3、t3からt4の合計となる。

【0073】

以上の発振動作において、電流制御端子2から入力する電圧を変化させ、PMOSトランジスタMP1、MP2、MP3、MP4、MP5、MP6に流れる定電流を変化させることにより、接続点A1、A2、A3、A4、A5、A6をNMOSトランジスタMN1、MN2、MN3、MN4、MN5、MN6の閾値電圧まで充電する時間を変化させ、発振周期Tを変化させることができる。

【0074】

図9中のVは、PMOSトランジスタMP1、MP2、MP3、MP4、MP5、MP6からの定電流で充電された場合の充電到達電位で、ゲートに電源電圧を入力とされたNMOSトランジスタMN13、MN14、MN15、MN16、MN17、MN18により、電源電圧よりもNMOSトランジスタMN13、MN14、MN15、MN16、MN17、MN18の閾値電圧 V_t だけ低い電位に制限される。この電源電圧から閾値電圧 V_t だけ低い電位は一定の電位となるため、充電する定電流が小さく発振周期Tが長い場合、充電電流が大きく発振周期Tが短い場合のいずれでも接続点A1、A2、A3、A4、A5、A6の充電到達点Vは一定の電位となる。

【0075】

以上の説明では、NMOSトランジスタMN1、MN2、MN3、MN4、MN5、MN6がON状態となり、各接続点A1、A2、A3、A4、A5、A6がLレベルに遷移する際の遷移時間はゼロとした理想状態として説明したが、実際には各接続点A1、A2、A3、A4、A5、A6がLレベルに遷移する際の遷移時間は有限であり、実施の形態1の場合と同じく実際の発振周期 T' は

$$T' = T + 3 * \Delta T$$

となり、 ΔT は充電到達電位Vが発振周期Tによらず一定の電位となるため、 ΔT も一定となり、発振周期を制御するための定電流に対する発振周波数の直線性を改善することができる。

【0076】

以上のような本実施の形態3においては、ゲート入力を電源に固定したNMOSトランジスタMN13、MN14、MN15、MN16、MN17、MN18を挿入したことにより、接続点A1、A2、A3、A4、A5、A6の充電到達電位Vが発振周期によらず、一定の電位となるため、 ΔT も一定となり、発振周期を制御するためのトランジスタMP1、MP2、MP3による定電流に対する発振周波数の直線性を改善することができる。

【0077】

なお、実施の形態1では、NMOSトランジスタMN4、MN5、MN6のゲート入力を電源電圧としたが、これは任意の固定電位としてもよい。

また、実施の形態1ではNMOSトランジスタMN4、MN5、MN6のゲート入力を電源電圧または任意の固定電位とし、各接続点A1、A2、A3の充電到達電位を制限したが、充電到達電位を制限する別の手段を設けてもよい。

【0078】

また、実施の形態2ではPMOSトランジスタMP4、MP5、MP6のゲート入力をGNDとしたが、これは任意の固定電位としてもよい。

【0079】

また、実施の形態2ではPMOSトランジスタMP4、MP5、MP6のゲート入力をGNDまたは任意の固定電位とし各接続点A1、A2、A3の放電到達電位を制限したが、放電到達電位を制限する別の手段を設けてもよい。

【0080】

また、実施の形態3ではNMOSトランジスタMN13、MN14、MN15、MN16、MN17、MN18のゲート入力を電源電圧としたが、これは任意の固定電位でもよい。

【0081】

また、実施の形態3ではNMOSトランジスタMN13、MN14、MN15、MN16、MN17、MN18のゲート入力を電源電圧または、任意の固定電位として各接続点の充電到達電位を制限したが、充電到達電位を制限する別の手段を設けてもよい。

【0082】

上記実施の形態1、実施の形態2、実施の形態3では、遅延回路を3段縦続接続した発振回路としたが、遅延回路をN段（Nは4以上の整数）縦続接続した発振回路を設けるようにしてもよい。

【0083】

【発明の効果】

以上のように構成された本発明の発振回路によれば、電流制御端子から入力される電圧により定電流で充電または放電するためのMOSトランジスタに対して、該MOSトランジスタによる充電到達電位または放電到達電位を制限するためのMOSトランジスタまたは手段を、定電流を生成するMOSトランジスタのド

レイン側に設けるようにしたので、発振周期を制御するための定電流に対する発振周波数の直線性を改善する優れた発振回路を実現することができる効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 にかかる発振回路の構成を示す構成図

【図 2】

本発明の実施の形態 1 にかかる発振回路の理想状態での動作を示すタイミングチャート

【図 3】

本発明の実施の形態 1 にかかる発振回路の実際の動作を示すタイミングチャート

【図 4】

本発明の実施の形態 1 にかかる発振回路の発振特性図

【図 5】

本発明の実施の形態 2 にかかる発振回路の構成を示す構成図

【図 6】

本発明の実施の形態 2 にかかる発振回路の理想状態での動作を示すタイミングチャート

【図 7】

本発明の実施の形態 2 にかかる発振回路の実際の動作を示すタイミングチャート

【図 8】

本発明の実施の形態 3 にかかる発振回路の構成を示す構成図

【図 9】

本発明の実施の形態 3 にかかる発振回路の理想状態での動作を示すタイミングチャート

【図 10】

従来における発振回路の構成を示す構成図

【図 1 1】

従来例における発振回路の理想状態での動作を示すタイミングチャート

【図 1 2】

従来例における発振回路の実際の動作を示すタイミングチャート

【図 1 3】

従来例における発振回路の理想状態における発振特性図

【図 1 4】

従来例における発振回路の実際の発振特性図

【符号の説明】

2 : 電流制御端子

MN 1、MN 2、MN 3、MN 4、MN 5、MN 6、MN 8 : NMOS トランジスタ

MN 9、MN 11、MN 11、MN 12、MN 13、MN 14 : NMOS トランジスタ

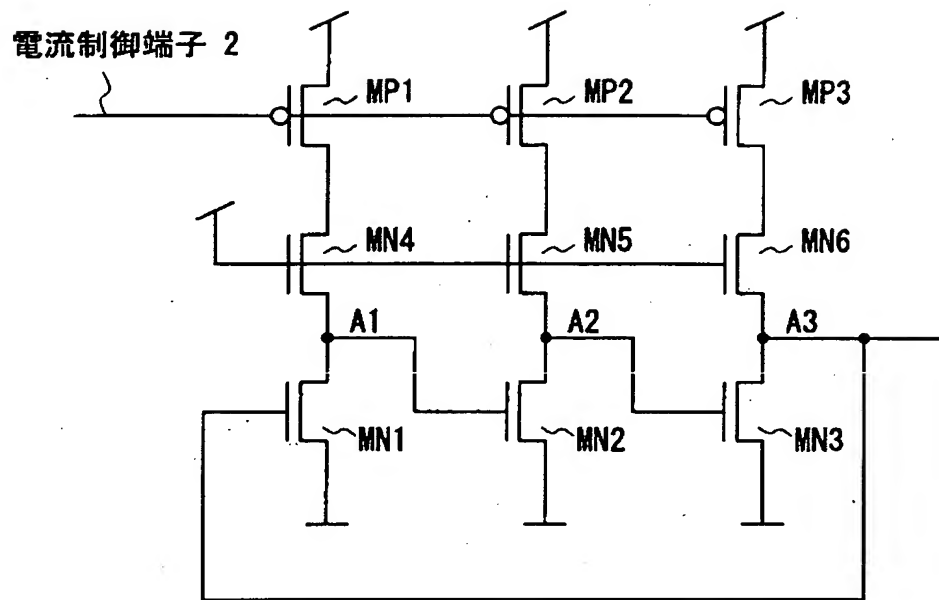
MN 15、MN 16、MN 17、MN 18 : NMOS トランジスタ

MP 1、MP 2、MP 3、MP 4、MP 5、MP 6 : PMOS トランジスタ

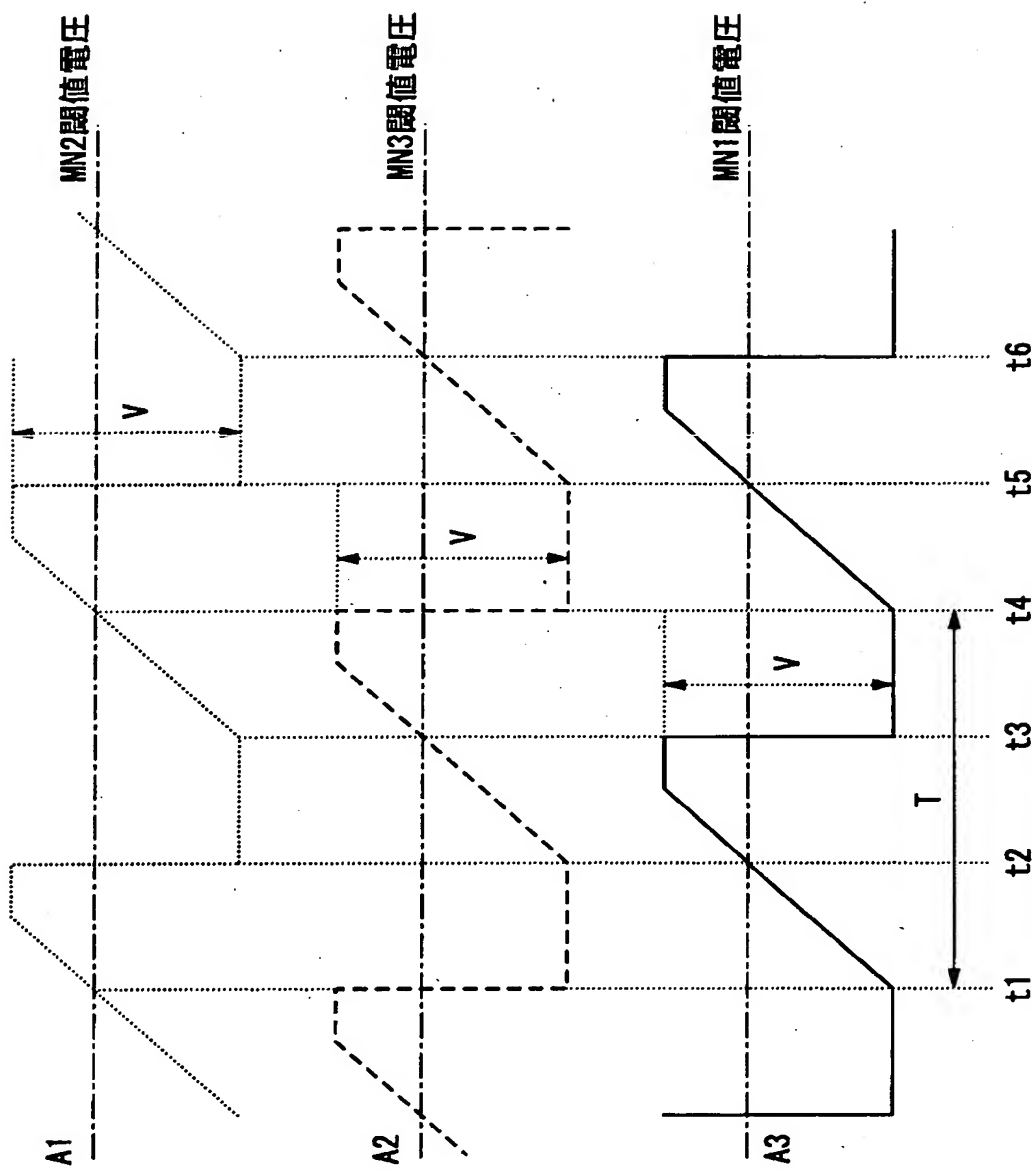
A 1、A 2、A 3、A 4、A 5、A 6 : 接続点

【書類名】 図面

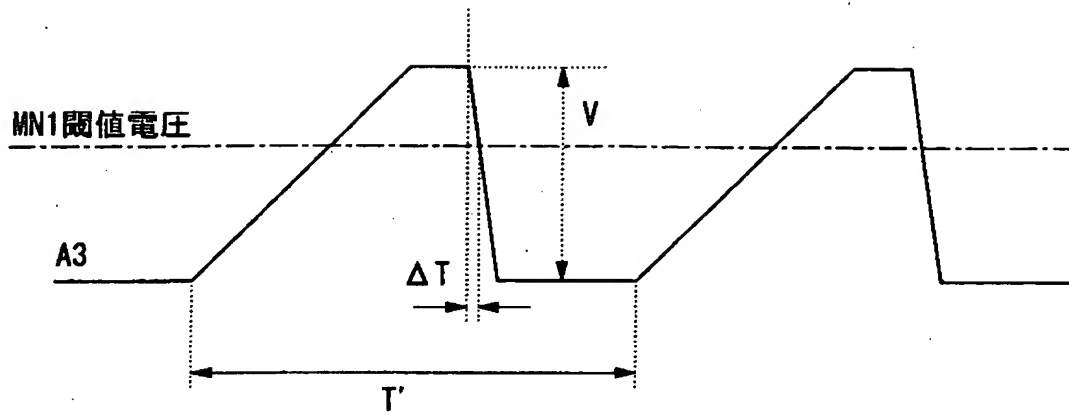
【図 1】



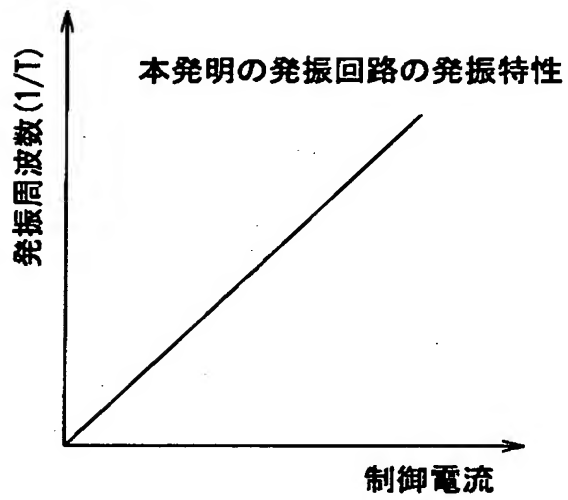
【図 2】



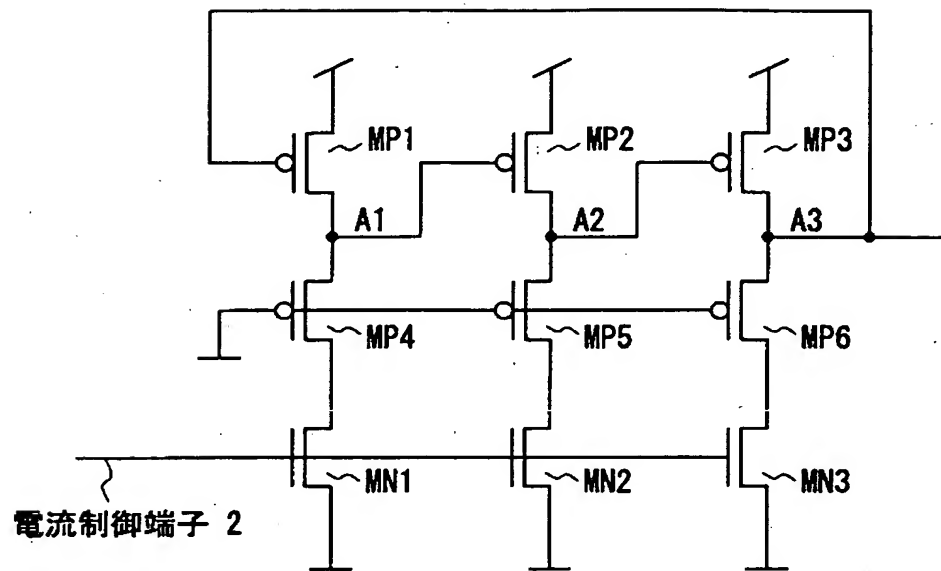
【図3】



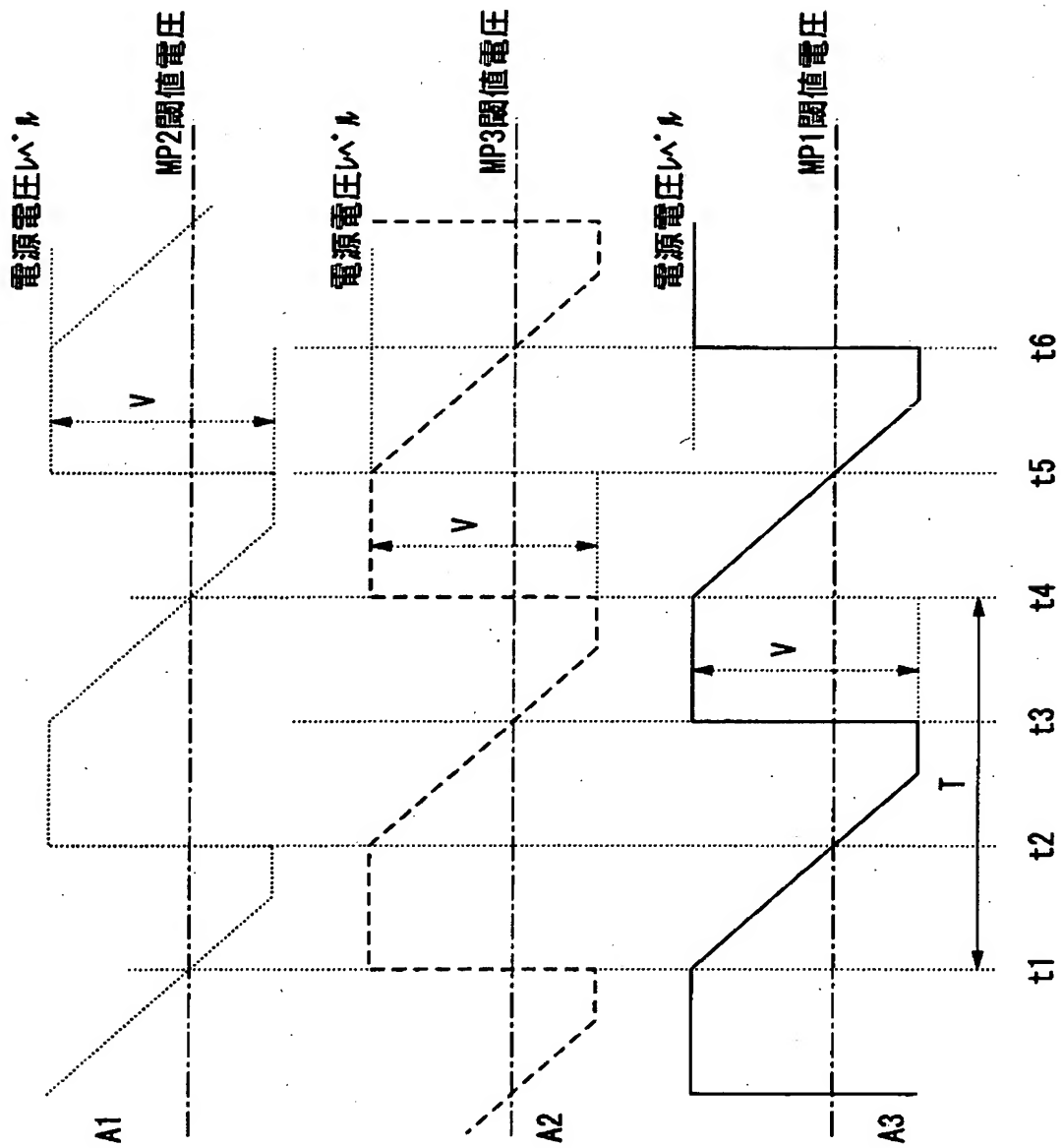
【図4】



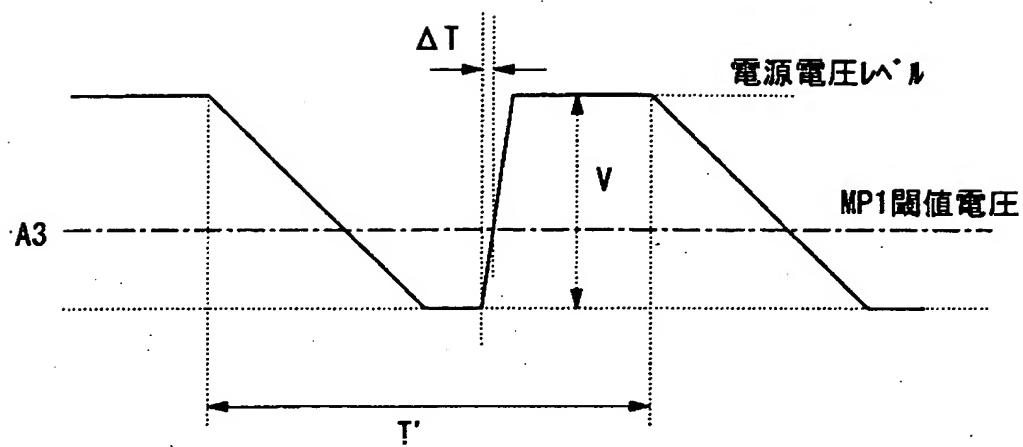
【図 5】



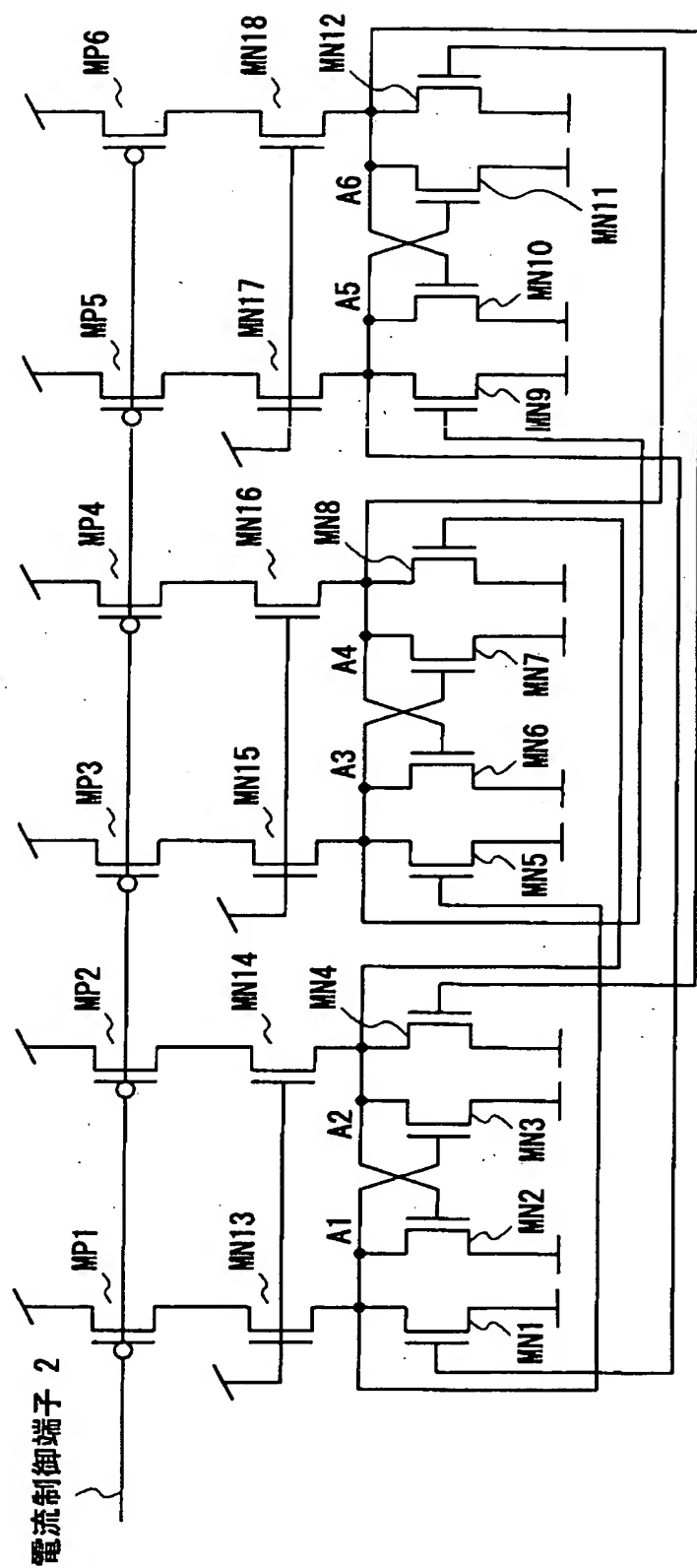
【図 6】



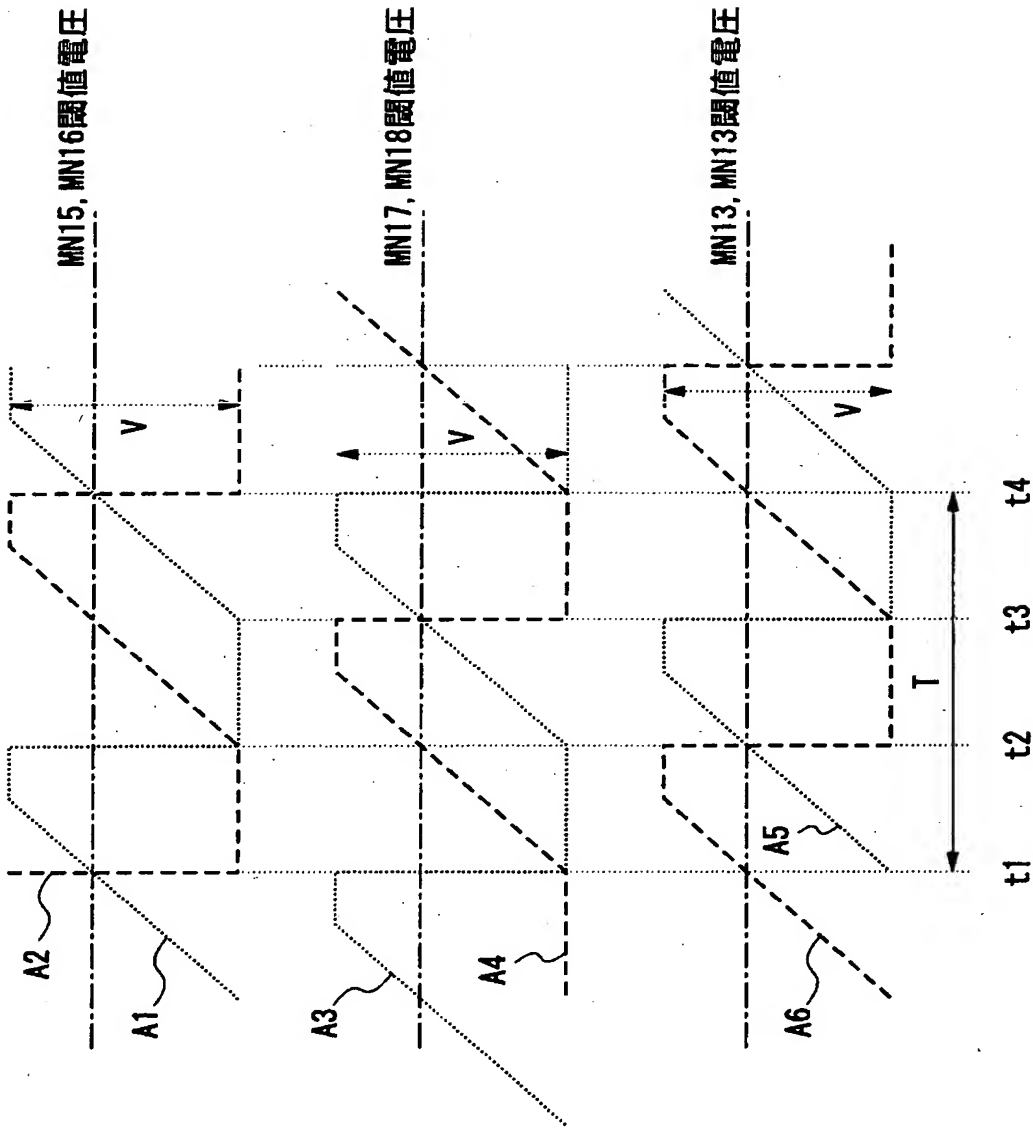
【図 7】



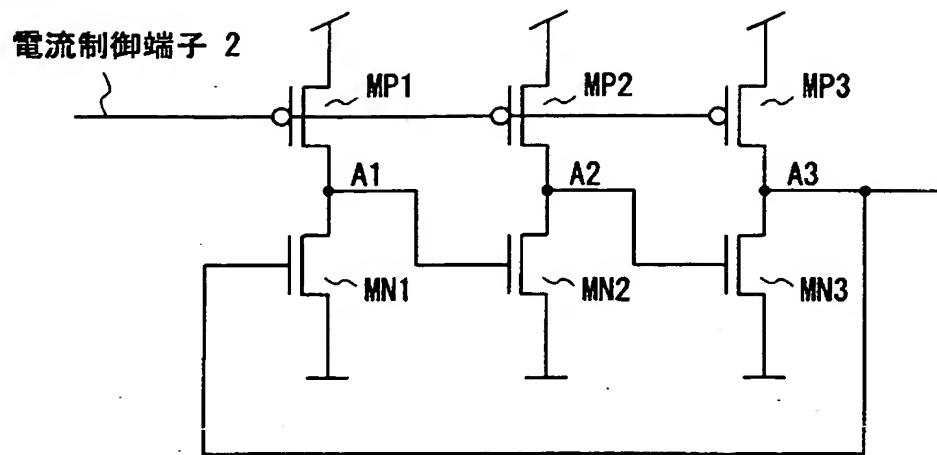
【図 8】



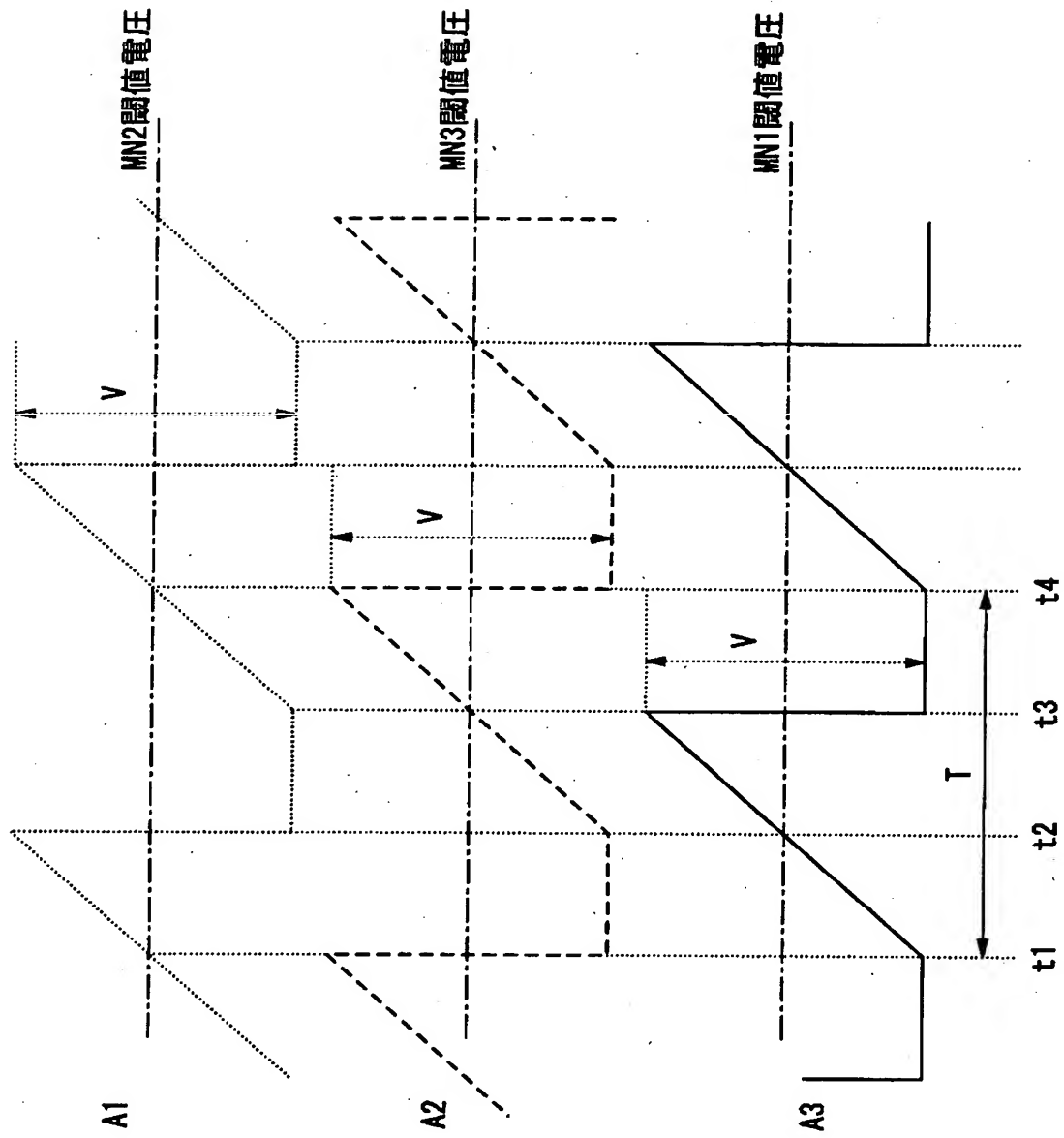
【図 9】



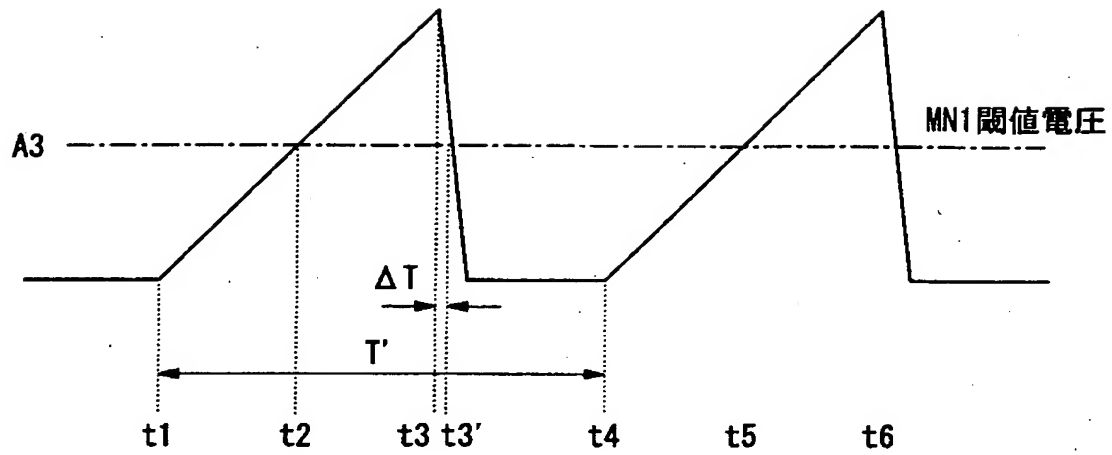
【図 10】



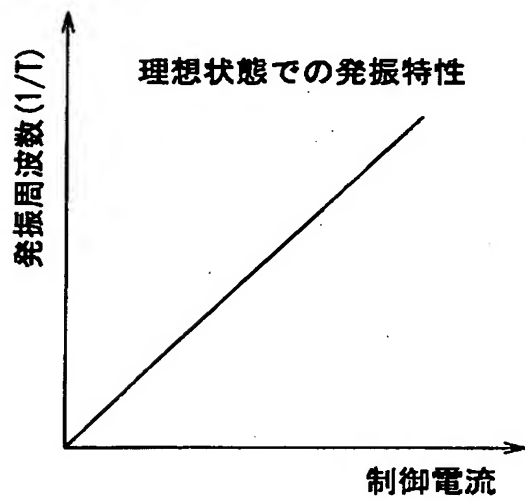
【図 11】



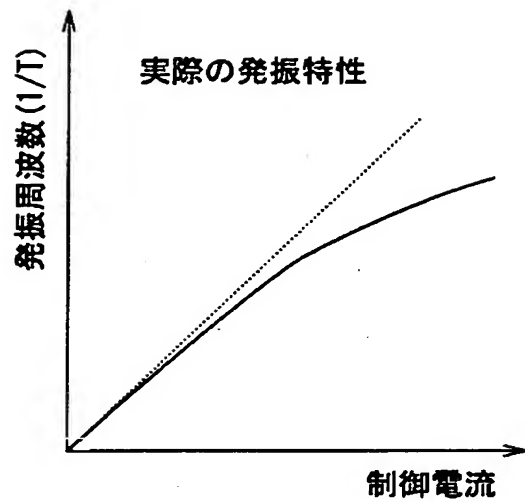
【図 1 2】



【図 1 3】



【図 14】



【書類名】 要約書

【要約】

【課題】 広い発振周波数範囲を実現する発振回路において、発振周波数を制御する電流に対し、発振周波数の直線性が悪いという課題を解決する。

【解決手段】 発振回路内の定電流充電、または定電流放電による発振出力の振幅が発振周波数によらず一定になるように、発振振幅に制限を設けるためのトランジスタMN4、MN5、MN6を、そのゲートに電流制御定端子2が接続された定電流生成のためのトランジスタMP1、MP2、MP3のドレイン側に直列に挿入する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社